

ACR0025-US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

JIA-HORNG SHIEH

Serial No. New Application

ATTN. APPLICATION BRANCH

Filed: April 9, 2001

For: DECODING SYSTEM AND METHOD IN AN
OPTICAL DISK STORAGE DEVICE

Assistant Commissioner of Patents
Washington, D.C. 20231

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of the priority provided under 35 U.S.C. § 119 is hereby claimed:

Taiwanese Patent Appln. No. 090102241 filed February 2, 2001

In support of this claim, filed herewith is a certified copy of said foreign application.

Respectfully submitted,

Date: April 9, 2001

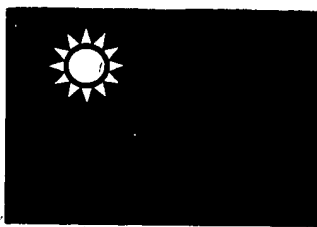
By:



Michael D. Bednarek
Reg. No. 32,329

SHAWPITTMAN
1650 Tysons Blvd.
McLean, VA 22102
(703) 770-7606

31038 U.S. PRO
09/828202
04/09/01



J1035 U.S.S.R. PRO
09/8/2002
04/03/2002

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 02 月 02 日
Application Date

申請案號：090102241
Application No.

申請人：揚智科技股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

陳明邦

發文日期：西元 2001 年 3 月 19 日
Issue Date

發文字號：09011004012
Serial No.

申請日期：

案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	碟片之解碼系統及其方法
	英 文	
二、 發明人	姓 名 (中文)	1. 謝嘉鴻
	姓 名 (英文)	1.
	國 籍	1. 中華民國
	住、居所	1. 台北縣中和市南山路37巷8弄2號5樓
三、 申請人	姓 名 (名稱) (中文)	1. 揚智科技股份有限公司
	姓 名 (名稱) (英文)	1. Acer Laboratories Inc.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣汐止市新台五路一段88號21樓
	代表人 姓 名 (中文)	1. 呂理達
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：碟片之解碼系統及其方法)

本發明提供一種碟片之解碼系統及其方法，用以接收碟片之訊息資料並執行解碼動作，本發明不需提高解碼系統之時脈，亦不增加匯流排之寬度，只需對解碼系統之架構稍作改變，便可減少解碼系統之各模組對資料緩衝區之存取次數。因此，本發明可提高解碼系統之平行處理能力，使解碼系統之速度提升，進而達到高倍速光碟機之效果。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

發明領域

本發明提供一種碟片之解碼系統及其方法，尤指一種藉由減少資料緩衝區之存取次數以提高碟片解碼速度之解碼系統及其方法。

先前技術之背景說明

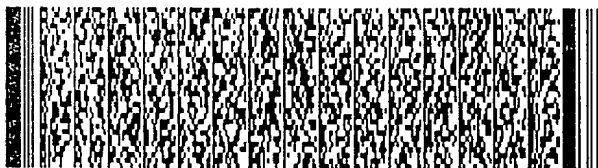
請參考圖一，圖一係習知DVD光碟機之解碼系統之方塊圖。如圖一所示，資料從光碟片100讀取出來之後，先傳送至EFM Plus解調變裝置 (Eight to Fourteen Modulation Plus demodulator) 102，將16個通道位元 (channel bit) 之編碼字元 (code word) 解調變為8位元之資料符號 (data symbol)。然後，EFM Plus解調變裝置102將解調變後產生之錯誤更正碼資料區塊 (Error Correction Code data block, 簡稱ECC 資料區塊) 107經由匯流排 (bus) 104儲存至資料緩衝區 106，其中ECC資料區塊107包括主要資料 (Main Data) 108、外部配核碼 (Parity of Outer-code, 簡稱PO) 110及內部配核碼 (Parity of Inner-code, 簡稱PI) 112；主要資料108的大小是 192×172 位元組；外部配核碼110的大小是 16×172 位元組；而內部配核碼 112的大小是 208×10 位元組。主要資料108加上外部配核碼110合起來稱之為RS (Reed-Solomon) 外部碼，而主要資料108加上外部配核碼



五、發明說明 (2)

110與內部配核碼112合起來稱之為RS內部碼。其次，錯誤更正碼解碼裝置(ECC decoder, 簡稱ECC解碼裝置) 114從資料緩衝區 106讀取ECC資料區塊107，依序進行X方向(即PI 方向)之解碼與Y方向(即PO方向)之解碼，並對ECC資料區塊107中之錯誤資料進行更正，然後ECC解碼裝置114再將ECC資料區塊107中更正之部份重新寫入資料緩衝區 106內。接著，解擾頻器(de-scrambler)及錯誤偵測碼確認裝置(Error Detection Code check, 簡稱EDC確認裝置) 116讀取資料緩衝區 106內更正過之主要資料108，以進行解擾頻及EDC確認動作。當主機端要讀取資料緩衝區 106內之主要資料108時，透過ATAPI (Advanced Technology Attachment Packet Interface) 界面裝置118將主要資料108解擾頻後傳送給主機端。

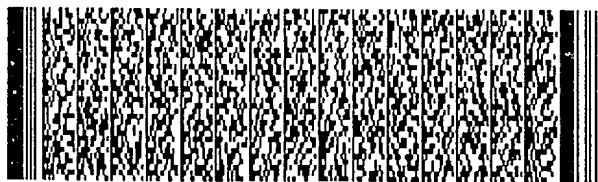
請參考圖二，圖二係習知DVD光碟機之解碼系統存取資料緩衝區之流程圖。此流程包含下列步驟：首先，執行步驟201，EFM Plus解調變裝置102將解調變後之ECC資料區塊107寫入資料緩衝區 106。其次，進行步驟202，ECC解碼裝置114從資料緩衝區 106讀取PI方向之ECC資料區塊107並進行錯誤更正之解碼動作，接著再將ECC資料區塊107中更正之部份寫入資料緩衝區 106內。接續步驟202，在步驟203中，ECC解碼裝置114從資料緩衝區 106中讀取PO方向之ECC資料區塊107並進行錯誤更正之解碼動作，接著再將ECC資料區塊107中更正之部份寫入資料緩衝區 106內。待完成步驟203後，依系統之需求設定可重



五、發明說明 (3)

複執行步驟202及步驟203，以提高ECC資料區塊107之錯誤更正率。完成步驟203後，進入步驟204，解擾頻器及EDC確認裝置116讀取資料緩衝區106內已更正過之主要資料108以進行解擾頻及EDC確認動作。待完成上述之動作後，當主機端要讀取資料緩衝區106中之主要資料108時，則進行步驟205，透過ATAPI界面裝置118將主要資料108解擾頻後傳送給主機端。在上述習知技藝中，解碼系統之各個模組需依序執行上述之步驟，方能完成碟片之解碼動作。

請參考圖三，圖三係習知ECC解碼裝置進行RS碼之解碼流程。首先，資料緩衝區106內之原始編碼字元進入「產生徵候值」(Syndrome generation)之階段301，由ECC解碼裝置114計算PI或PO方向之徵候值。其次，進入階段302，根據已知的抹除位置(eraser location)，計算出「抹除位置多項式」(eraser location polynomial)，接著，利用產生之徵候值與抹除位置多項式可算出「Forney 變形徵候值多項式」(Forney's modified syndrome polynomial)，以得到執行下一階段所需之初始值。接續階段302，進入階段303，利用前一階段所產生之初始值來計算「錯誤-抹除表位多項式」(error-eraser locator polynomial)和「錯誤-抹除表值多項式」(error-eraser evaluator polynomial)。接著，進入「Chien 搜尋單元」之階段304，找出錯誤資料之位置，並求出錯誤資料之值。最後，進入「校正」(correction)之階段305，將原始編碼字元中之錯誤資料



五、發明說明 (4)

更正即可得到正確的編碼字元，並將正確的編碼字元寫入資料緩衝區 106 內。

由圖一可知，習知之解碼系統在進行碟片之解碼動作時，各個模組皆需對資料緩衝區 106 進行存取動作。理論上若解碼系統之各個模組可同步存取資料緩衝區 106，將能加快解碼系統之速度，以達高倍速DVD之效果；然而，實際上解碼系統之各個模組均需使用同一資料緩衝區 106 以作為資料存取之資料緩衝區。此外，由圖二及圖三可知，習知之解碼系統對整個ECC資料區塊 107 進行解碼之過程裡，ECC解碼裝置 114 每次進行PI與PO方向錯誤更正之解碼動作時，皆需存取資料緩衝區 106 內之ECC資料區塊 107。對資料緩衝區進行多次存取動作將使整個解碼動作十分耗時，亦限制整體DVD系統之速度。目前針對上述問題已有幾個解決方法，包含：提高解碼系統之時脈、增加匯流排寬度或是減少資料緩衝區之存取次數。

發明目的與概述

本發明之主要目的在於提供一種碟片之解碼系統及其方法，用以減少資料緩衝區之存取次數，如此便可提高解碼系統之平行處理能力，進而加快解碼系統之速度而達高倍速光碟機之效果。

在本發明第一實施例中，EFM Plus解調變裝置進行解調變動作後，便將產生之ECC資料區塊輸出至微候值運算器。



五、發明說明 (5)

接著，徵候值運算器便將主要資料暫存於資料緩衝區內，同時計算PI及PO方向之徵候值，並利用一資料暫存媒體來暫存PO方向徵候值運算過程中之資料，接著再將PI及PO方向徵候值之運算結果暫存於資料緩衝區內。之後，ECC解碼裝置由資料緩衝區讀取PI及PO方向之徵候值並進行錯誤更正解碼，然後再將更正後之PI與PO方向之徵候值寫回資料緩衝區內，同時亦將主要資料中更正之部份寫入資料緩衝區內。接著，解擾頻器及EDC確認裝置便進行解擾頻及EDC確認動作。待完成上述之動作後，當主機端要讀取資料緩衝區中之主要資料時，便透過ATAPI界面裝置將主要資料解擾頻後傳送給主機端。

本發明第二實施例與第一實施例類似，其差異處在於ECC解碼之部份；ECC解碼裝置由資料緩衝區讀取PI及PO方向之徵候值進行錯誤更正解碼，並同時將PI與PO方向徵候值分別寫入第一資料暫存區及第二資料暫存區內，然後再將更正後之PI與PO方向之徵候值寫回第二資料暫存媒體及第三資料暫存媒體內，同時亦將主要資料中更正之部份寫入資料緩衝區內。重複解碼時只需讀取第二資料暫存媒體及第三資料暫存媒體中之PI與PO方向之徵候值。

本發明第三實施例與第一實施例之主要差異處係徵候值運算器只計算PI方向之徵候值，故不需資料暫存媒體來暫存PO方向之徵候值。

本發明第四實施例與第三實施例類似，但多了一個資料暫存區；ECC解碼裝置由資料緩衝區讀取主要資料及外部配



五、發明說明 (6)

核碼進行P0方向之錯誤更正解碼時，將P0方向之徵候值寫入此資料暫存區，而解碼後便將更正之P0方向徵候值寫回資料暫存區，同時亦將更新的PI方向徵候值及主要資料中更正之部份寫回資料緩衝區內。接著，ECC解碼裝置由資料緩衝區讀取PI方向徵候值並進行PI方向錯誤更正解碼，然後再將更正後之PI方向之徵候值寫回資料緩衝區內，同時亦將更新的PI方向徵候值及主要資料中更正之部份寫回資料緩衝區內。重複解碼時，只需讀取資料暫存區中之P0方向之徵候值及資料緩衝區中PI方向之徵候值。

本發明第五實施例與第四實施例不同之處在於ECC解碼時同時進行解擾頻及EDC確認動作，並利用EDC之確認結果做為ECC是否更正錯誤之依據。

圖式之簡單說明

圖一係習知DVD光碟機之解碼系統之方塊圖。

圖二係習知DVD光碟機之解碼系統存取資料緩衝區之流程圖。

圖三係習知ECC解碼裝置進行RS碼之解碼流程。

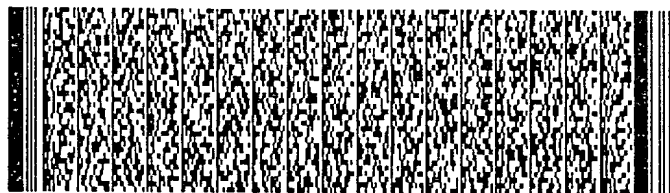
圖四係本發明之解碼系統第一實施例之方塊圖。

圖五係本發明之解碼系統第二實施例之方塊圖。

圖六係本發明之解碼系統第三實施例之方塊圖。

圖七係本發明之解碼系統第四實施例之方塊圖。

圖八係本發明之解碼系統第五實施例之方塊圖。



五、發明說明 (7)

圖示元件之標號說明

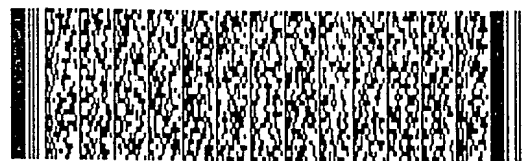
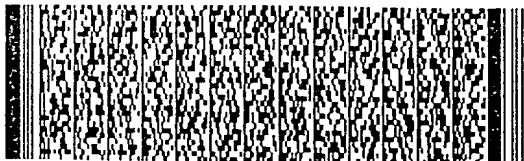
100 碟片102EFM Plus解調變裝置
104匯流排106資料緩衝區
107 ECC資料區塊；108 主要資料
110外部配核碼112 內部配核碼
114ECC解碼裝置116 解擾頻器及EDC確認裝置；
118ATAPI界面裝置402徵候值運算器
404資料暫存媒體406P0方向徵候值
408PI方向徵候值502第一資料暫存區
504第二資料暫存區602PI方向之徵候值運算器
702第三資料暫存區802第一解擾頻器及EDC確認裝置
804第二解擾頻器及EDC確認裝置

發明之詳細說明

由圖三可知，ECC解碼裝置無論是進行PI或P0方向之解碼，皆需先求出徵候值。假設某方向更新前之資料為 $r(X)$ ，更新後之資料為 $r'(X)$ ，錯誤值為 $e(X)$ ，則 $r'(X)=r(X)+e(X)$ 。因此，錯誤更正後新之徵候值可以下式表示：

$$S_{k(r')}(X) = \sum_{i=0}^{n-1} r'_i \alpha^{ik} = \sum_{i=0}^{n-1} (r_i + e_i) \alpha^{ik} = \sum_{i=0}^{n-1} r_i \alpha^{ik} + \sum_{i=0}^{n-1} e_i \alpha^{ik} = S_{k(r)}(X) + S_{k(e)}(X)$$

由上式可知，在進行解碼時，將解碼前之徵候值加上錯誤值之徵候值，即可求出新的徵候值。因此，進行錯誤更正之解碼動作前，先求出PI與P0方向之徵候值，而進行PI或P0方向之解碼時，計算PI方向錯誤值之徵候值並加上原PI



五、發明說明 (8)

方向之徵候值即可求出新的PI方向之徵候值；同理，計算P0方向錯誤值之徵候值並加上原P0方向之徵候值即可求出新的P0方向之徵候值。亦即，不論何時，PI與P0方向之徵候值皆對應當時更新後的ECC資料區塊。

為讓本發明之目的、特徵和優點能更明顯易懂，下文特舉五個較佳實施例，並配合所附圖式，作詳細說明如下：

請參考圖四，圖四係本發明之解碼系統第一實施例之方塊圖。圖四之解碼系統與圖一略為相似，其差異處在於，圖四之資料緩衝區106內暫存的資料為主要資料108、P0方向徵候值406與PI方向徵候值408。其中，主要資料108的大小是 192×172 位元組；PI方向徵候值408的大小是 208×10 位元組；而P0方向徵候值406的大小是 16×182 位元組。此外，EFM Plus解調變裝置102解調變後之ECC資料區塊係輸出至徵候值運算器402。徵候值運算器402將ECC資料區塊中之主要資料108暫存於資料緩衝區106內，並利用RS內部碼及RS外部碼計算ECC資料區塊PI及P0方向之徵候值408，406，而內部配核碼及外部配核碼在徵候值運算結束後便捨去不用。由於EFM Plus解調變裝置102係以PI方向輸出ECC資料區塊，故徵候值運算器402計算出每一行的PI方向徵候值408可直接存入資料緩衝區106內；而P0方向之徵候值406則需等到徵候值運算器402接收完整個ECC資料區塊後才計算完畢，故需要第一資料暫存媒體404以暫存P0方向徵候值406運算過程中的資料，當完成P0方向徵候值406之運算後，則將運算結果存入資料緩衝區106



五、發明說明 (9)

內。另外，由於ECC資料區塊會持續不斷地輸入徵候值運算器402，故第一資料暫存媒體404內須有兩個儲存空間，以一面將P0方向徵候值406存入資料緩衝區106內，同時一面接收徵候值運算器402新的運算結果。ECC解碼裝置114不需讀取整個ECC資料區塊，只要讀取資料緩衝區106內的PI方向徵候值408及P0方向徵候值406即可進行錯誤更正解碼，此時不論是對哪一個方向進行解碼，ECC解碼裝置114皆會同步更正PI與P0方向之徵候值。然後，ECC解碼裝置114再將主要資料108中更正之部份及新的PI方向徵候值408與P0方向徵候值406寫入資料緩衝區106內。由於PI方向徵候值408與P0方向徵候值406之運算可對應最新的ECC資料區塊，且主機端所需之資料僅主要資料108之部份，因此，當錯誤發生在內部配核碼或外部配核碼時，並不需更新內部配核碼或外部配核碼之部份，而只需更新PI與P0方向之徵候值408，406即可，因此便可捨去內部配核碼與外部配核碼。當ECC解碼裝置114完成ECC資料區塊之錯誤更正後，解擾頻器及EDC確認裝置116讀取資料緩衝區106內已更正過之主要資料108，並對其進行解擾頻及EDC確認動作。待完成上述之動作後，當主機端要讀取資料緩衝區106內之主要資料108時，透過ATAPI界面裝置118將已更正過之主要資料108解擾頻後傳送給主機端。

由此可知，有關資料緩衝區106之存取方面，在圖一之習知解碼系統裡，EFM Plus解調變裝置102需寫入整個ECC資料區塊107，且ECC解碼裝置114進行PI與P0方向解碼時



五、發明說明 (10)

各需讀取整個ECC 資料區塊107，並將ECC 資料區塊107中更正之部份寫入資料緩衝區106，而完成錯誤更正之解碼後，解擾頻器及EDC確認裝置116及ATAPI界面裝置118各需讀取主要資料107一次。然而，在圖四之實施例中，徵候值運算器402係寫入主要資料108、PI方向徵候值408與PO方向徵候值406，且ECC解碼裝置114進行錯誤更正解碼時只需讀取徵候值，並將更新後之徵候值及主要資料108中更正之部份寫入資料緩衝區106，而完成錯誤更正之解碼後，解擾頻器及EDC確認裝置116及ATAPI界面裝置118各需讀取主要資料107一次，故相較於習知技藝，圖四之解碼系統少了許多資料緩衝區106之存取次數。

請參考圖五，圖五係本發明之解碼系統第二實施例之方塊圖。圖五之架構與圖四近似，其差異處在於，ECC解碼裝置114另與第一資料暫存區502及第二資料暫存區504連結。ECC解碼裝置114讀取資料緩衝區106內的PI方向徵候值408與PO方向徵候值406，以進行PI與PO方向之錯誤更正解碼，同時將PI與PO方向徵候值408，406分別寫入第一資料暫存區502及第二資料暫存區504內，然後再將解碼後更新之PI與PO方向徵候值408，406重新寫入第一資料暫存區502及第二資料暫存區504內，同時亦將主要資料108中更正之部份寫入資料緩衝區106內，之後，ECC解碼裝置114僅藉由存取第一資料暫存區502及第二資料暫存區504內暫存之徵候值，來進行後續之PI與PO方向之錯誤更正解碼，故與圖四的架構相較，圖五的架構更可減少資料緩衝區



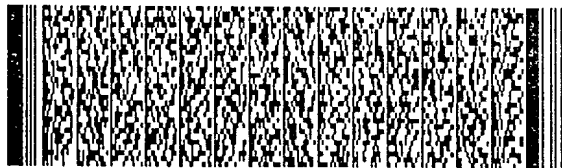
五、發明說明 (11)

106 的存取次數。

請參考圖六，圖六係本發明之解碼系統第三實施例之方塊圖。

圖六之架構與圖四相似，其差異處在於，徵候值運算器 602 只計算PI 方向之徵候值 408，故不需要圖四之第一資料暫存媒體 404 來儲存PO 方向之徵候值。另外，由於徵候值運算器 602 沒有計算PO 方向之徵候值，故資料緩衝區 106 內暫存的資料為主要資料 108、外部配核碼 110 及PI 方向徵候值 408，其中，主要資料 108 的大小是 192×172 位元組；PI 方向徵候值 408 的大小是 208×10 位元組；而外部配核碼 110 的大小是 16×172 位元組。

由此可知，有關資料緩衝區 106 之存取方面，在圖六之實施例中，PI 方向之徵候值運算器 602 係寫入主要資料 108、PI 方向徵候值 408 與外部配核碼 110，且 ECC 解碼裝置 114 進行PI 方向之錯誤更正解碼時，只需讀取PI 方向之徵候值 408，並將解碼後主要資料 108 中更正之部份、更新後之PI 方向徵候值 408 及外部配核碼 110 寫入資料緩衝區 106，而 ECC 解碼裝置 114 進行PO 方向之錯誤更正解碼時，需讀取主要資料 108 及外部配核碼 110，並將主要資料 108 中更正之部份、更新的外部配核碼 110 及更新的PI 方向徵候值 408 寫入資料緩衝區 106，待完成錯誤更正之解碼後，解擾頻器及 EDC 確認裝置 116 及 ATAPI 界面裝置 118 各需讀取已更正過之主要資料 107 一次。故相較於習知技藝，圖六之解碼系統少了許多資料緩衝區 106 之存取次數。



五、發明說明 (12)

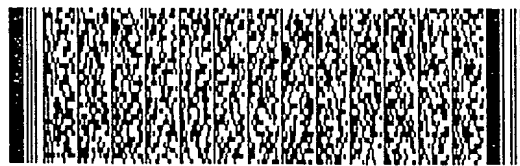
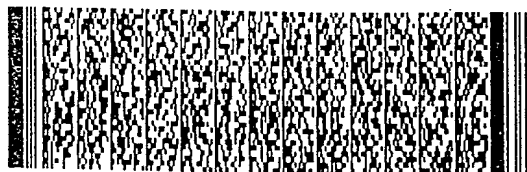
請參考圖七，圖七係本發明之解碼系統第四實施例之方塊圖。

圖七之架構與圖六近似，其差異處在於，ECC解碼裝置114另與第三資料暫存區702連結。若ECC解碼裝置114先進行PI方向之錯誤更正解碼時，只需讀取PI方向之徵候值408，並將主要資料108、外部配核碼110中更正的部份及新的PI方向徵候值408寫入資料緩衝區106；接著，進行P0方向之錯誤更正解碼時，將P0方向徵候值408之運算結果存入第三資料暫存區702，並利用第三資料暫存區702內暫存的P0方向徵候值408更正資料緩衝區106內的主要資料108，如此可省下資料緩衝區106之存取時間。若ECC解碼裝置114先進行P0方向之錯誤更正解碼時，將P0方向徵候值408之運算結果存入第三資料暫存區702，並利用第三資料暫存區702內暫存的P0方向徵候值408更正資料緩衝區106內的主要資料108及PI方向之徵候值408，而不需更正外部配核碼110，接著，進行PI方向之解碼時，亦係更正資料緩衝區106內的主要資料108及PI方向之徵候值408。故圖七的架構可減少資料緩衝區的存取次數。

假設PI方向更新前之資料為 $r(X)$ ，更新後之資料為 $r'(X)$ ，錯誤值為 $e(X)$ ，則 $r'(X)=r(X)+e(X)$ 。因此，錯誤更正後新的EDC確認結果可以下式表示：

$$EDC(x)_{r'} = EDC(x)_r + EDC(x)_e$$

由上式可知，在進行EDC確認動作時，將更新前之EDC確認



五、發明說明 (13)

結果加上錯誤值之EDC確認結果，即可求出新的EDC確認結果。由於PI解碼方向恰與EDC確認方向相同，因此將PI方向更新前之EDC確認結果，加上PI方向錯誤值之EDC確認結果，便可得PI方向新的EDC確認結果。故解擾頻器及EDC確認裝置可於徵候值運算器602進行PI方向之徵候值運算時，同步進行主要資料108之解擾頻及EDC確認動作。關於此點，請參考圖八。當PI方向之徵候值運算器602將主要資料108寫入資料緩衝區106時，主要資料108亦輸入至第一解擾頻器及EDC確認裝置802以進行解擾頻及EDC確認動作，當第一次進行PI方向之錯誤更正解碼時，同時將錯誤值傳給第二解擾頻器及EDC確認裝置804以求得錯誤值之EDC確認結果，並與第一解擾頻器及EDC確認裝置802之EDC確認結果相加後，可求得第一次PI方向解碼後的EDC確認結果；後續進行PO與PI方向之錯誤更正解碼動作時，主要資料108中已完成EDC確認動作之部份，即可略過不需再解碼，如此可避免發生更正錯誤的情形。而當完成後續所進行PO與PI方向之錯誤更正解碼動作後，第二解擾頻器及EDC確認裝置804將針對資料緩衝區106內尚未完成EDC確認動作部份之主要資料108，再度進行解擾頻及EDC確認動作。

由圖四至圖八可知，本發明之解碼系統對整個ECC資料區塊進行解碼之過程裡，ECC解碼裝置114在進行PI與PO方向之錯誤更正解碼時，減少了從資料緩衝區106重複讀取資料之次數，如此將大幅減少資料緩衝區之存取次數。此

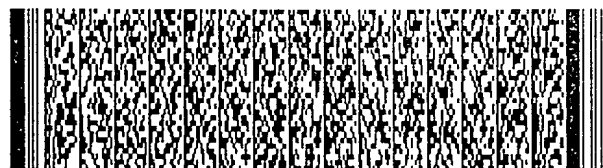


五、發明說明 (14)

外，本發明解碼系統所述之ECC解碼裝置係一RSPC(Reed Solomon Product Code)之解碼演算架構。資料緩衝區106、資料暫存媒體404、第一資料暫存區502、第二資料暫存區504與第三資料暫存區702可為靜態隨機存取記憶體(Static Random Access Memory, SRAM)、動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)、同步連結動態隨機存取記憶體(Synchronous Link DRAM, SL-DRAM)、DR-DRAM(Direct Rambus DRAM)、同步動態隨機存取記憶體(Synchronous DRAM, SDRAM)、雙資料率同步動態隨機存取記憶體(Double Data Rate SDRAM, DDR-SDRAM)、虛擬通道同步動態隨機存取記憶體(Virtual Channel SDRAM, VC-SDRAM)等記憶體。

與習知之解碼系統相較，本發明之解碼系統不需提高解碼系統之時脈，亦不需增加匯流排寬度，便可有效減少資料緩衝區之存取次數、縮短系統反應時間、提高解碼系統之平行處理能力，進而加快解碼系統之速度而達高倍速DVD之效果。

綜上所述，雖然本發明已以五較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種碟片之解碼系統，用以接收該碟片之訊息資料並執行解碼動作，該解碼系統包含：

一解調變裝置，用以接收該碟片之訊息資料，並進行解調變動作以產生一ECC資料區塊，該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼；

一徵候值運算器，用以計算並產生該ECC資料區塊之PI與PO方向徵候值；

一資料暫存媒體，用以暫存該PO方向徵候值運算過程中之資料；

一資料緩衝區，用以暫存該主要資料及該PI與PO方向徵候值；

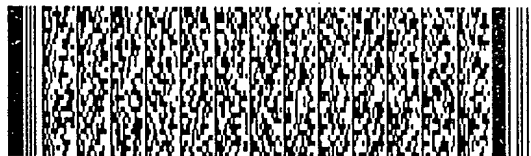
一ECC解碼裝置，用以進行錯誤更正之解碼動作；

一解擾頻器及EDC確認裝置，用以讀取該資料緩衝區內已更正過之該主要資料，並進行解擾頻及EDC確認動作；以及

一ATAPI界面裝置，用以讀取該資料緩衝區內已更正過之該主要資料，並將該主要資料解擾頻後輸出至主機端。

2. 如申請專利範圍第1項所述之解碼系統，另包含一資料暫存區，該資料暫存區與該ECC解碼裝置連結，係用以暫存該PI及PO方向徵候值。

3. 如申請專利範圍第2項所述之解碼系統，其中該徵候值運算器從該解調變裝置讀取該ECC資料區塊後，便將該主要資料暫存於該資料緩衝區內，同時計算該PI與PO方向徵候值，並利用該資料暫存媒體來暫存該PO方向徵候值運算



六、申請專利範圍

過程中之資料，接著再將該PI及P0方向徵候值之運算結果寫入該資料緩衝區內；之後，該ECC解碼裝置由該資料緩衝區讀取該PI及P0方向徵候值並將該PI及P0方向徵候值寫入該資料暫存區內，以進行錯誤更正之解碼動作，然後再將解碼後更新之PI與P0方向徵候值寫入該資料暫存區內，同時亦將該主要資料中更正之部份寫入該資料緩衝區內；而當該ECC解碼裝置完成錯誤更正之解碼動作後，該解擾頻器及EDC確認裝置將針對該資料緩衝區內已更正過之該主要資料進行解擾頻及EDC確認動作；當主機端需要該主要資料時，透過該ATAPI界面裝置將已更正過之該主要資料解擾頻後傳送給主機端。

4. 如申請專利範圍第2項所述之解碼系統，其中該解調變裝置係將具有M個通道位元之編碼字元解調變為N($M > N$)位元之資料符號。

5. 如申請專利範圍第2項所述之解碼系統，其中該ECC解碼裝置係一RSPC(Reed Solomon Product Code)之解碼演算架構。

6. 如申請專利範圍第2項所述之解碼系統，其中該資料緩衝區可為靜態隨機存取記憶體(Static Random Access Memory, SRAM)、動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)、同步連結動態隨機存取記憶體(Synchronous Link DRAM, SL-DRAM)、DR-DRAM(Direct Rambus DRAM)、同步動態隨機存取記憶體(Synchronous DRAM, SDRAM)、雙資料率同步動態隨機存取記憶體



六、申請專利範圍

(Double Data Rate SDRAM, DDR-SDRAM)、虛擬通道同步動態隨機存取記憶體(Virtual Channel SDRAM, VC-SDRAM)等記憶體。

7. 如申請專利範圍第2項所述之解碼系統，其中該資料暫存媒體可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

8. 如申請專利範圍第2項所述之解碼系統，其中該資料暫存區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

9. 如申請專利範圍第2項所述之解碼系統，其中該資料暫存區被區隔為兩個儲存區域，以分別儲存該PI及PO方向徵候值。

10. 一種碟片之解碼方法，用以接收一碟片之訊息資料並執行解碼動作，該解碼方法包含：

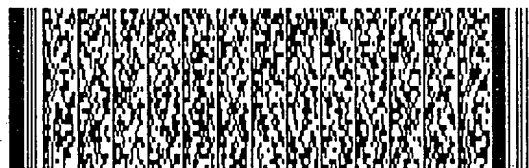
(1) 讀取該碟片之訊息資料至一解調變裝置，該解調變裝置將訊息資料進行解調變動作，產生一ECC資料區塊，其中該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼；

(2) 讀取該ECC資料區塊至一徵候值運算器並寫入該主要資料至一資料緩衝區；

(3) 計算該ECC資料區塊之PI與PO方向徵候值，並暫存該PO方向徵候值運算過程中之資料於一資料暫存媒體；

(4) 寫入該PI及PO方向徵候值至該資料緩衝區；

(5) 讀取該資料緩衝區內該PI方向徵候值至該ECC解碼裝置



六、申請專利範圍

並寫入該PI方向徵候值至一資料暫存區，以進行PI方向之錯誤更正解碼；

(6)更正該資料暫存區內該PI方向徵候值，並更正該資料緩衝區內該P0方向徵候值；

(7)寫入更新後之該P0方向徵候值至該資料暫存區內，並寫入該主要資料中更正之部份至該資料緩衝區內；

(8)讀取該資料暫存區內該P0方向徵候值至該ECC解碼裝置，以進行P0方向之錯誤更正解碼；

(9)更正該資料暫存區內該PI與P0方向徵候值，並寫入該主要資料中更正之部份至該資料緩衝區內；

(10)讀取該資料緩衝區內已更正過之該主要資料以進行解擾頻及EDC確認動作；以及

(11)讀取該資料緩衝區內已更正過之該主要資料至一ATAPI界面裝置，將該主要資料解擾頻後輸出至主機端。

11. 如申請專利範圍第10項所述之解碼方法，其中該解調變裝置係將具有M個通道位元之編碼字元解調變為N($M > N$)位元之資料符號。

12. 如申請專利範圍第10項所述之解碼方法，其中該ECC解碼裝置係一RSPC(Reed Solomon Product Code)之解碼演算架構。

13. 如申請專利範圍第10項所述之解碼系統，其中該資料緩衝區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

14. 如申請專利範圍第10項所述之解碼系統，其中該資料



六、申請專利範圍

暫存媒體可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

15. 如申請專利範圍第10項所述之解碼系統，其中該資料暫存區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

16. 如申請專利範圍第10項所述之解碼方法，其中該資料暫存區被區隔為兩個儲存區域，以分別儲存該PI及PO方向徵候值。

17. 一種碟片之解碼系統，用以接收該碟片之訊息資料並執行解碼動作，該解碼系統包含：

- 一解調變裝置，用以接收該碟片之訊息資料，並進行解調變動作以產生一ECC資料區塊，該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼；

- 一徵候值運算器，用以計算並產生該ECC資料區塊之PI方向徵候值；

- 一資料緩衝區，用以暫存該主要資料、該外部配合碼及該PI方向徵候值；

- 一ECC解碼裝置，用以進行錯誤更正之解碼動作；

- 一解擾頻器及EDC確認裝置，用以讀取該資料緩衝區內已更正過之該主要資料，並進行解擾頻及EDC確認動作；以及

- 一ATAPI界面裝置，用以讀取該資料緩衝區內已更正過之該主要資料，並將該主要資料解擾頻後輸出至主機端。

18. 如申請專利範圍第17項所述之解碼系統，另包含一資



六、申請專利範圍

料暫存區，該資料暫存區與該ECC解碼裝置連結，係用以暫存該P0方向徵候值。

19. 如申請專利範圍第18項所述之解碼系統，其中該徵候值運算器從該解調變裝置讀取該ECC資料區塊後，便計算該PI方向徵候值，同時將該主要資料、該外部配合碼及該PI方向徵候值暫存於該資料緩衝區內；接著該ECC解碼裝置由該資料緩衝區讀取該主要資料及該外部配合碼，以計算該P0方向徵候值，並將該P0方向徵候值寫入該資料暫存區內，以進行P0方向之錯誤更正解碼，然後再將解碼後更新之P0與PI方向徵候值分別寫入該資料暫存區與該資料緩衝區內，同時亦將該主要資料中更正之部份寫入該資料緩衝區內；之後該ECC解碼裝置由該資料緩衝區讀取該PI方向徵候值，以進行該PI方向之錯誤更正解碼，然後再將解碼後更新之P0與PI方向徵候值分別寫入該資料暫存區與該資料緩衝區內，同時亦將該主要資料中更正之部份寫入該資料緩衝區內；而當該ECC解碼裝置完成錯誤更正之解碼動作後，該解擾頻器及EDC確認裝置將針對該資料緩衝區內已更正過之該主要資料進行解擾頻及EDC確認動作；當主機端需要該主要資料時，透過該ATAPI界面裝置將已更正過之該主要資料解擾頻後傳送給主機端。

20. 如申請專利範圍第18項所述之解碼系統，其中該解調變裝置係將具有M個通道位元之編碼字元解調變為N($M > N$)位元之資料符號。

21. 如申請專利範圍第18項所述之解碼系統，其中該ECC解



六、申請專利範圍

碼裝置係一RSPC(Reed Solomon Product Code)之解碼演算架構。

22. 如申請專利範圍第18項所述之解碼系統，其中該資料緩衝區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

23. 如申請專利範圍第18項所述之解碼系統，其中該資料暫存區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

24. 一種碟片之解碼方法，用以接收一碟片之訊息資料並執行解碼動作，該解碼方法包含：

(1) 讀取該碟片之訊息資料至一解調變裝置，該解調變裝置將該訊息資料進行解調變動作，產生一ECC資料區塊，該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼；

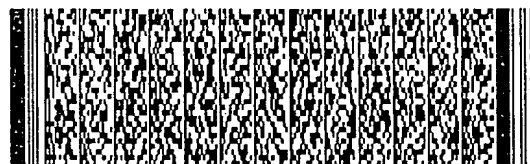
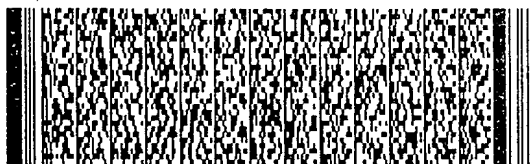
(2) 讀取該ECC資料區塊至一徵候值運算器以計算該ECC資料區塊之PI方向徵候值；

(3) 寫入該PI方向之徵候值、該主要資料及該外部配合碼至一資料緩衝區；

(4) 讀取該資料緩衝區內之該主要資料及該外部配合碼至該ECC解碼裝置，以計算該P0方向徵候值；

(5) 寫入該P0方向徵候值至一資料暫存區並進行P0方向之錯誤更正解碼；

(6) 更正該資料暫存區內之該P0方向徵候值並更正該資料緩衝區內之PI方向徵候值，同時寫入該主要資料中更正之



六、申請專利範圍

部份至該資料緩衝區內；

(7) 讀取該資料緩衝區內之該PI方向徵候值至該ECC解碼裝置，以進行PI方向之錯誤更正解碼；

(8) 更正該資料暫存區內之該P0方向徵候值並更正該資料緩衝區內之PI方向徵候值，同時寫入該主要資料中更正之部份至該資料緩衝區內；

(9) 讀取該資料緩衝區內已更正過之該主要資料至一解擾頻器及EDC確認裝置以進行解擾頻及EDC確認動作；以及

(10) 讀取該資料緩衝區內已更正過之該主要資料至一ATAPI界面裝置，並將該主要資料解擾頻後輸出至主機端。

25. 如申請專利範圍第24項所述之解碼方法，其中該解調變裝置係將具有M個通道位元之編碼字元解調變為N($M > N$)位元之資料符號。

26. 如申請專利範圍第24項所述之解碼方法，其中該ECC解碼裝置係一RSPC(Reed Solomon Product Code)之解碼演算架構。

27. 如申請專利範圍第24項所述之解碼系統，其中該資料緩衝區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

28. 如申請專利範圍第24項所述之解碼系統，其中該資料暫存區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

29. 一種碟片之解碼系統，用以接收該碟片之訊息資料並

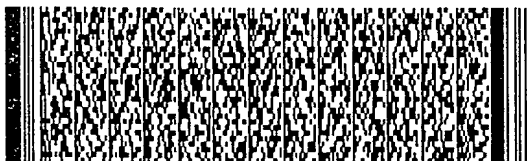


六、申請專利範圍

執行解碼動作，該解碼系統包含：

- 一解調變裝置，用以接收該碟片之訊息資料，並進行解調變動作以產生一ECC資料區塊，該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼；
- 一徵候值運算器，用以計算並產生該ECC資料區塊之PI方向徵候值；
- 一資料緩衝區，用以暫存該主要資料、該外部配合碼及該PI方向徵候值；
- 一第一解擾頻器及EDC確認裝置，用以讀取該徵候值運算器輸出之該主要資料，以進行解擾頻及EDC確認動作；
- 一ECC解碼裝置，用以進行錯誤更正之解碼動作；
- 一資料暫存區，與該ECC解碼裝置連結，用以暫存該PO方向徵候值；
- 一第二解擾頻器及EDC確認裝置，用以計算第一次PI方向之EDC確認結果，及讀取該資料緩衝區內尚未完成EDC確認動作之該主要資料，再度進行解擾頻及EDC確認動作；以及
- 一ATAPI界面裝置，用以讀取該資料緩衝區內已更正過之該主要資料，並將該主要資料解擾頻後輸出至主機端。

30. 如申請專利範圍第29項所述之解碼系統，其中該徵候值運算器從該解調變裝置讀取該ECC資料區塊後，便計算該PI方向徵候值，並將該主要資料、該外部配合碼及該PI方向徵候值暫存於該資料緩衝區內，同時將該主要資料傳送至該第一解擾頻器及EDC確認裝置，以進行解擾頻及



六、申請專利範圍

EDC 確認動作；接著該ECC解碼裝置由該資料緩衝區讀取該PI方向徵候值，以進行PI方向之錯誤更正解碼，同時將錯誤值傳送至該第二解擾頻器及EDC確認裝置，以求得PI方向之EDC確認結果，然後再將解碼後更新之該PI方向徵候值寫入該資料緩衝區內，同時亦將該外部配合碼及該主要資料中更正之部份寫入該資料緩衝區內；之後該ECC解碼裝置由該資料緩衝區讀取該主要資料及該外部配合碼，以計算該P0方向徵候值，並將該P0方向徵候值寫入一資料暫存區內，以進行P0方向之錯誤更正解碼，然後再將解碼後更新之P0與PI方向徵候值分別寫入該資料暫存區與該資料緩衝區內，同時亦將該主要資料中更正之部份寫入該資料緩衝區內；而當該ECC解碼裝置完成錯誤更正之解碼動作後，該第二解擾頻器及EDC確認裝置將針對該資料緩衝區內該主要資料中尚未完成EDC確認動作之部份再度進行解擾頻及EDC確認動作；當主機端需要該主要資料時，透過該ATAPI界面裝置將已更正過之該主要資料解擾頻後傳送給主機端。

30. 如申請專利範圍第29項所述之解碼系統，其中該解調變裝置係將具有M個通道位元之編碼字元解調變為N($M > N$)位元之資料符號。

31. 如申請專利範圍第29項所述之解碼系統，其中該ECC解碼裝置係一RSPC(Reed Solomon Product Code)之解碼演算架構。

32. 如申請專利範圍第29項所述之解碼系統，其中該資料



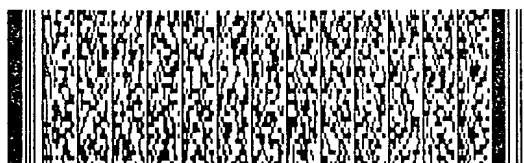
六、申請專利範圍

緩衝區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

33. 如申請專利範圍第29項所述之解碼系統，其中該資料暫存區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

34. 一種碟片之解碼方法，用以接收一碟片之訊息資料並執行解碼動作，該解碼方法包含：

- (1) 讀取該碟片之訊息資料至一解調變裝置，該解調變裝置將該訊息資料進行解調變動作，產生一ECC資料區塊，其中該ECC資料區塊包含一主要資料、一內部配核碼及一外部配核碼；
- (2) 讀取該ECC資料區塊至一徵候值運算器以計算該ECC資料區塊之PI方向徵候值；
- (3) 寫入該PI方向之徵候值、該主要資料及該外部配合碼至一資料緩衝區，同時傳送該主要資料至一第一解擾頻器及EDC確認裝置，以進行解擾頻及EDC確認動作；
- (4) 讀取該資料緩衝區內之該PI方向徵候值至該ECC解碼裝置，以進行PI方向之錯誤更正解碼，同時傳送錯誤值至一第二解擾頻器及EDC確認裝置，以求得PI方向之EDC確認結果；
- (5) 更正該資料緩衝區內之該PI方向徵候值及該外部配核碼並寫入該主要資料中更正之部份至該資料緩衝區內；
- (6) 讀取該資料緩衝區內之該主要資料及該外部配合碼至該ECC解碼裝置，以計算該PO方向徵候值；



六、申請專利範圍

(7) 寫入該P0方向徵候值至一資料暫存區並進行P0方向之錯誤更正解碼；

(8) 更正該資料暫存區內之該P0方向徵候值並更正該資料緩衝區內之PI方向徵候值，同時寫入該主要資料中更正之部份至該資料緩衝區內；

(9) 讀取該資料緩衝區內該主要資料中尚未完成EDC確認動作之部份至該第二解擾頻器及EDC確認裝置，再度進行解擾頻及EDC確認動作；以及

(10) 讀取該資料緩衝區內已更正過之該主要資料至一ATAPI界面裝置，並將該主要資料解擾頻後輸出至主機端。

35. 如申請專利範圍第34項所述之解碼方法，其中該解調變裝置係將具有M個通道位元之編碼字元解調變為 $N(M > N)$ 位元之資料符號。

36. 如申請專利範圍第34項所述之解碼方法，其中該ECC解碼裝置係一RSPC(Reed Solomon Product Code)之解碼演算架構。

37. 如申請專利範圍第34項所述之解碼系統，其中該資料緩衝區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。

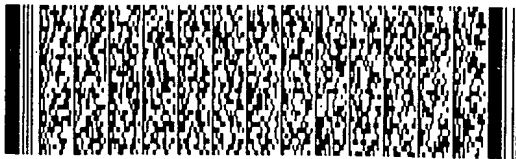
38. 如申請專利範圍第34項所述之解碼系統，其中該資料暫存區可為SRAM、DRAM、SL-DRAM、DR-DRAM、SDRAM、DDR-SDRAM、VC-SDRAM等記憶體。



第 1/29 頁



第 2/29 頁



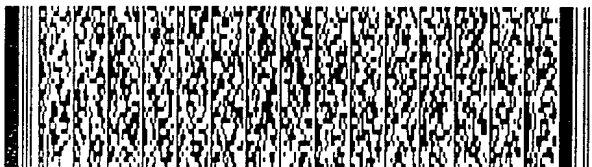
第 4/29 頁



第 4/29 頁



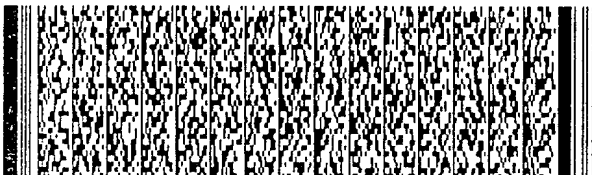
第 5/29 頁



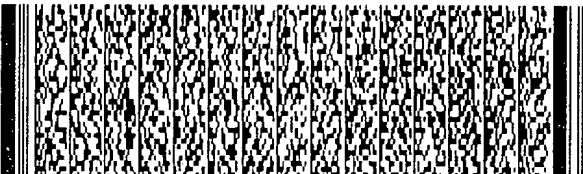
第 5/29 頁



第 6/29 頁



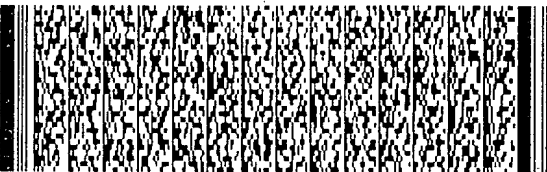
第 6/29 頁



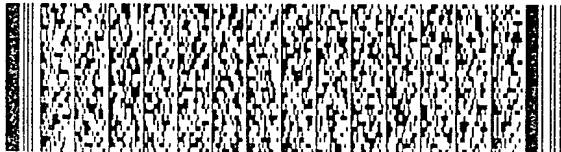
第 7/29 頁



第 7/29 頁



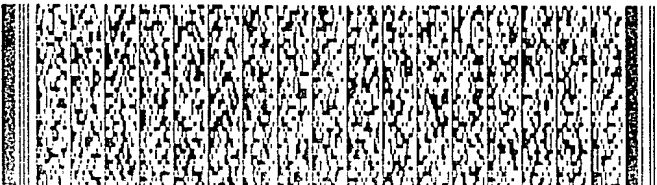
第 8/29 頁



第 8/29 頁



第 9/29 頁



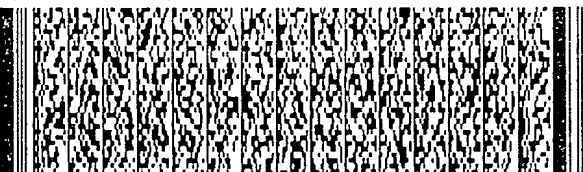
第 10/29 頁



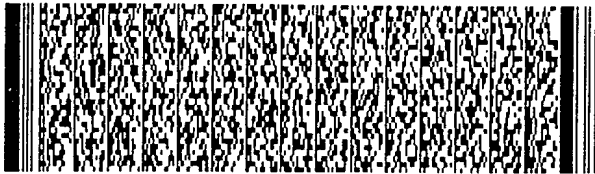
第 10/29 頁



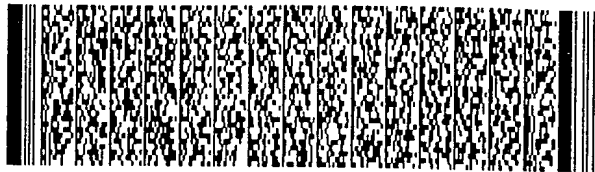
第 11/29 頁



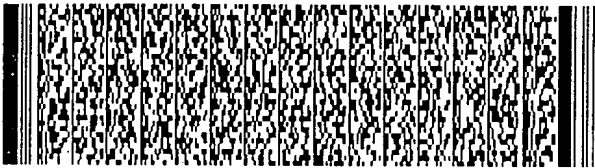
第 11/29 頁



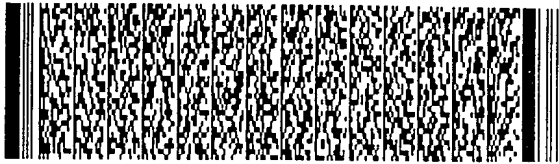
第 12/29 頁



第 12/29 頁



第 13/29 頁



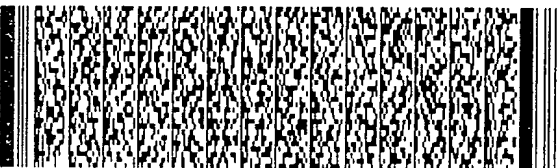
第 13/29 頁



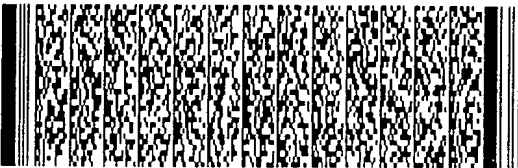
第 14/29 頁



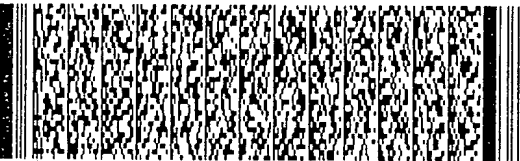
第 14/29 頁



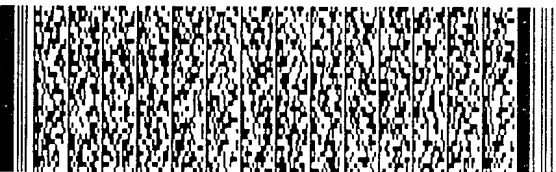
第 15/29 頁



第 15/29 頁



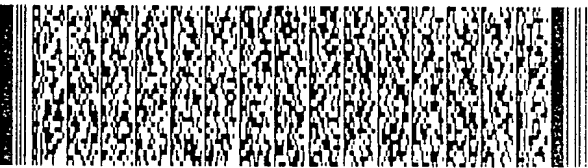
第 16/29 頁



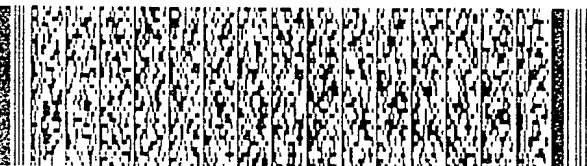
第 16/29 頁



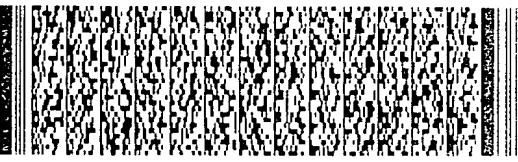
第 17/29 頁



第 17/29 頁



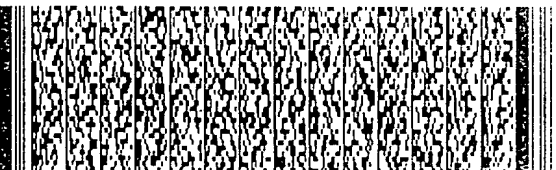
第 18/29 頁



第 18/29 頁



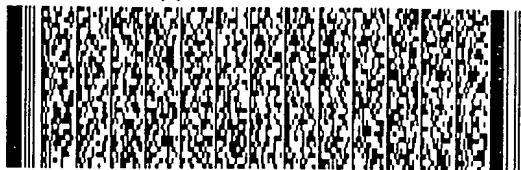
第 19/29 頁



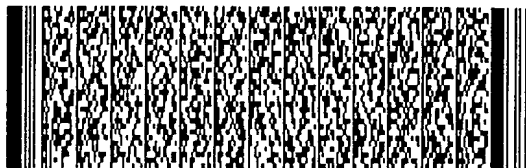
第 19/29 頁



第 20/29 頁



第 20/29 頁



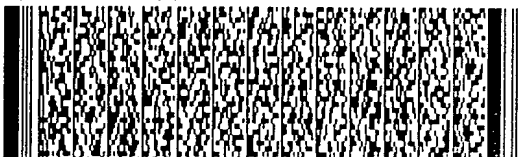
第 21/29 頁



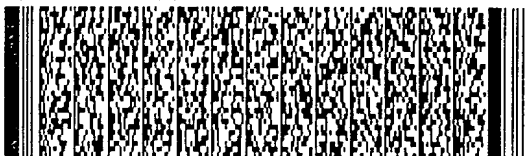
第 21/29 頁



第 22/29 頁



第 22/29 頁



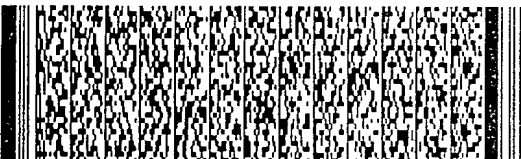
第 23/29 頁



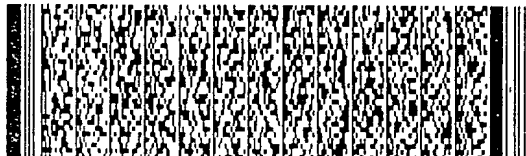
第 23/29 頁



第 24/29 頁



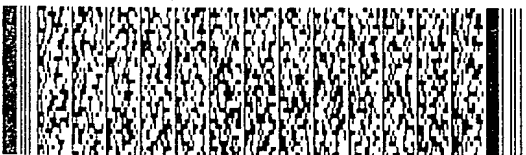
第 24/29 頁



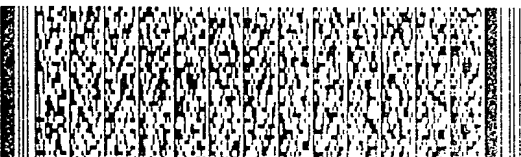
第 25/29 頁



第 25/29 頁



第 26/29 頁



第 26/29 頁



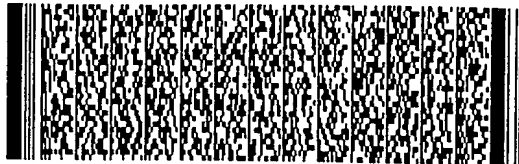
第 27/29 頁



第 27/29 頁



第 28/29 頁



第 28/29 頁

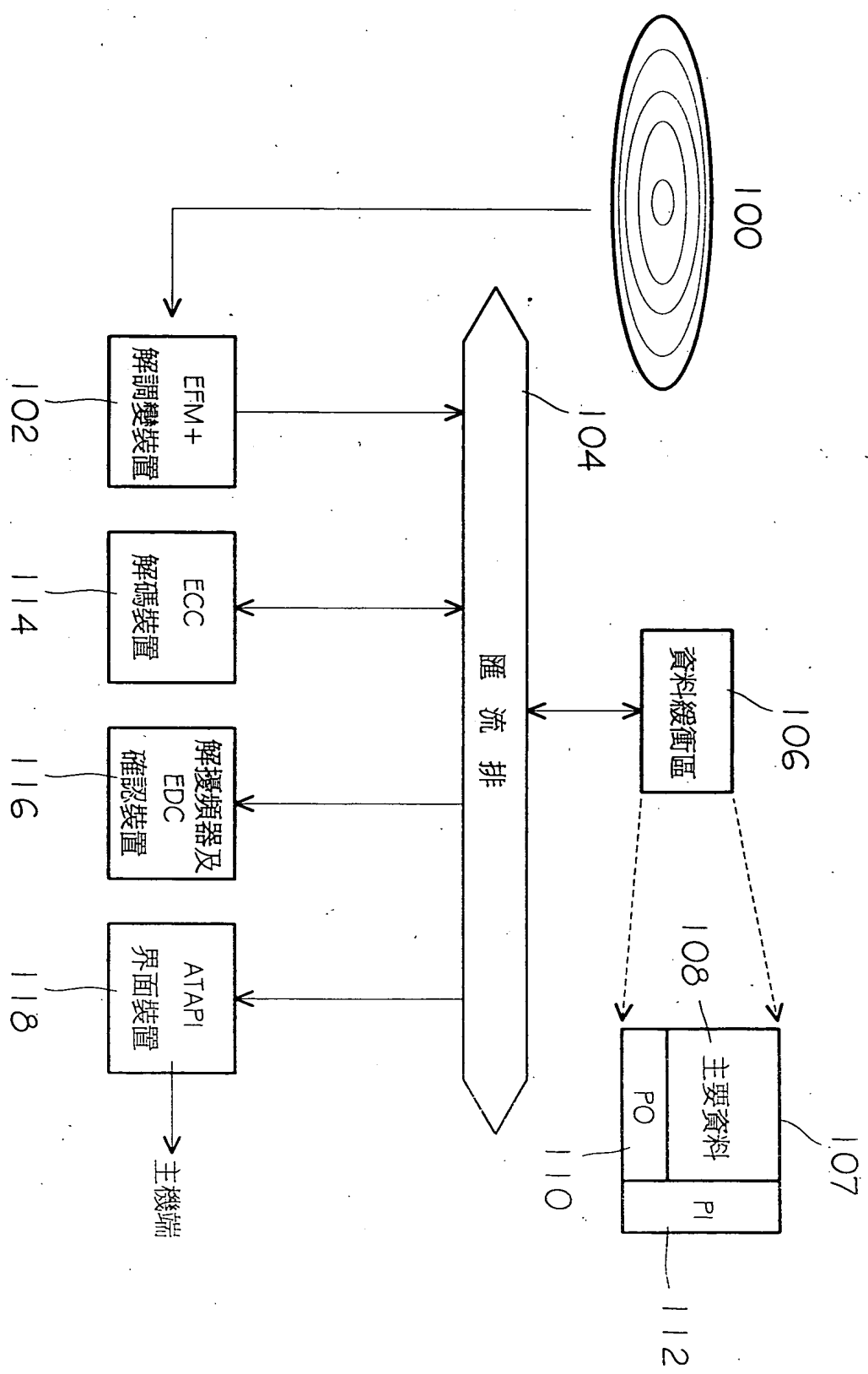


第 29/29 頁



第 29/29 頁





圖一

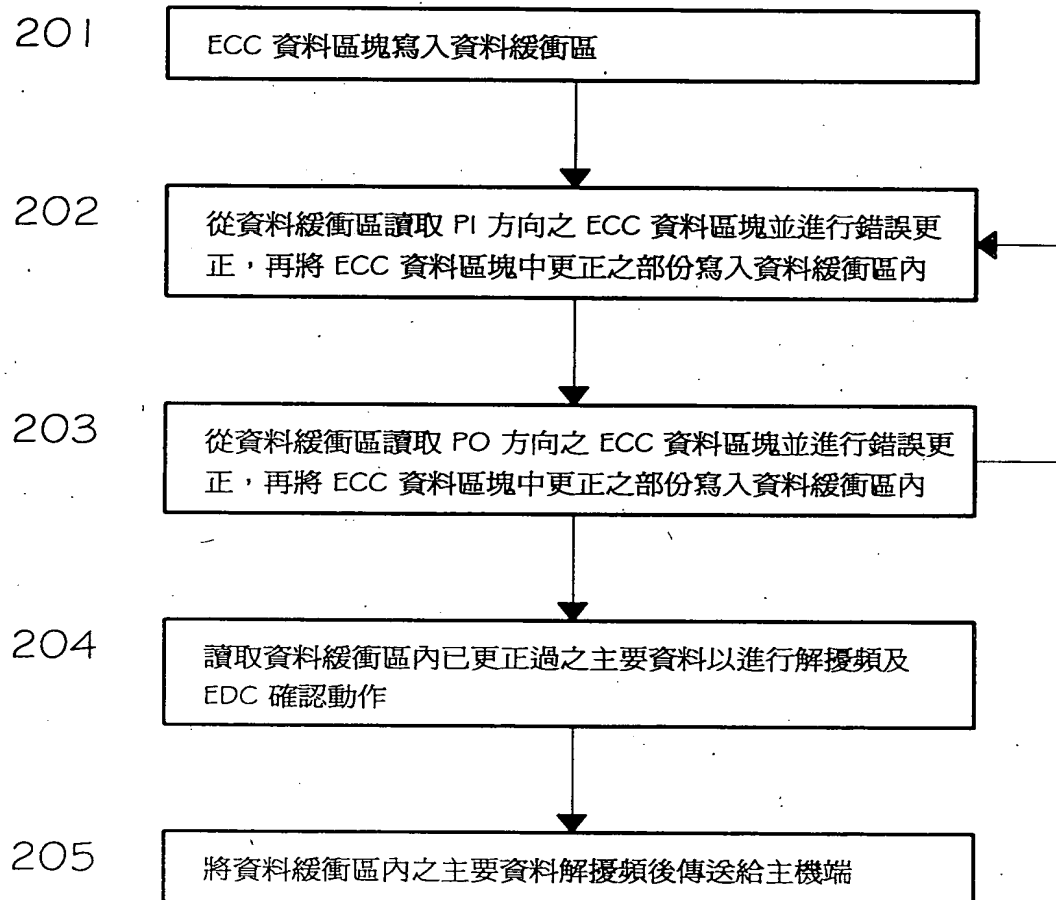


圖 二

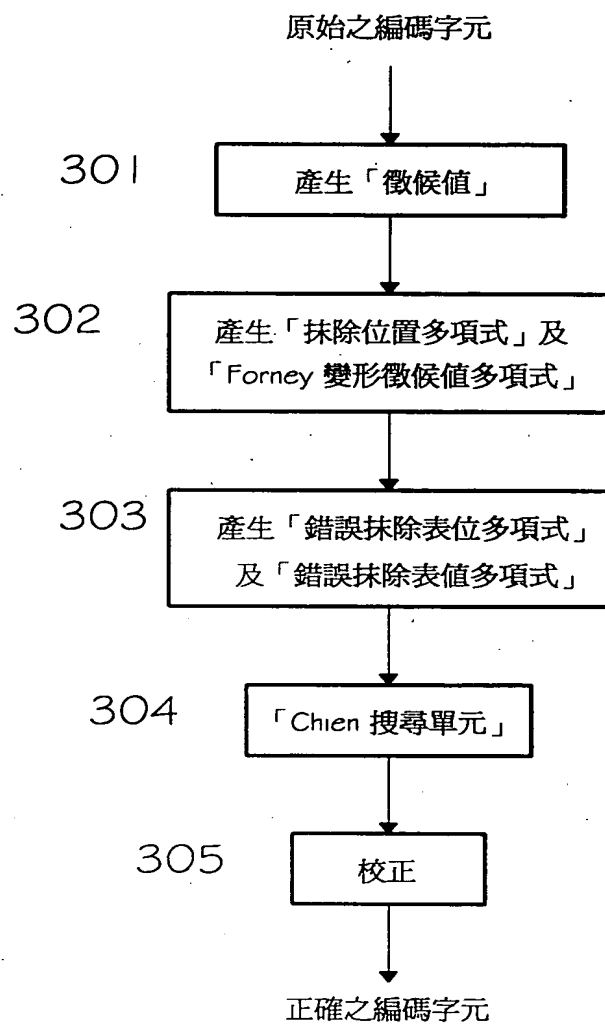


圖 三



२१
१८३

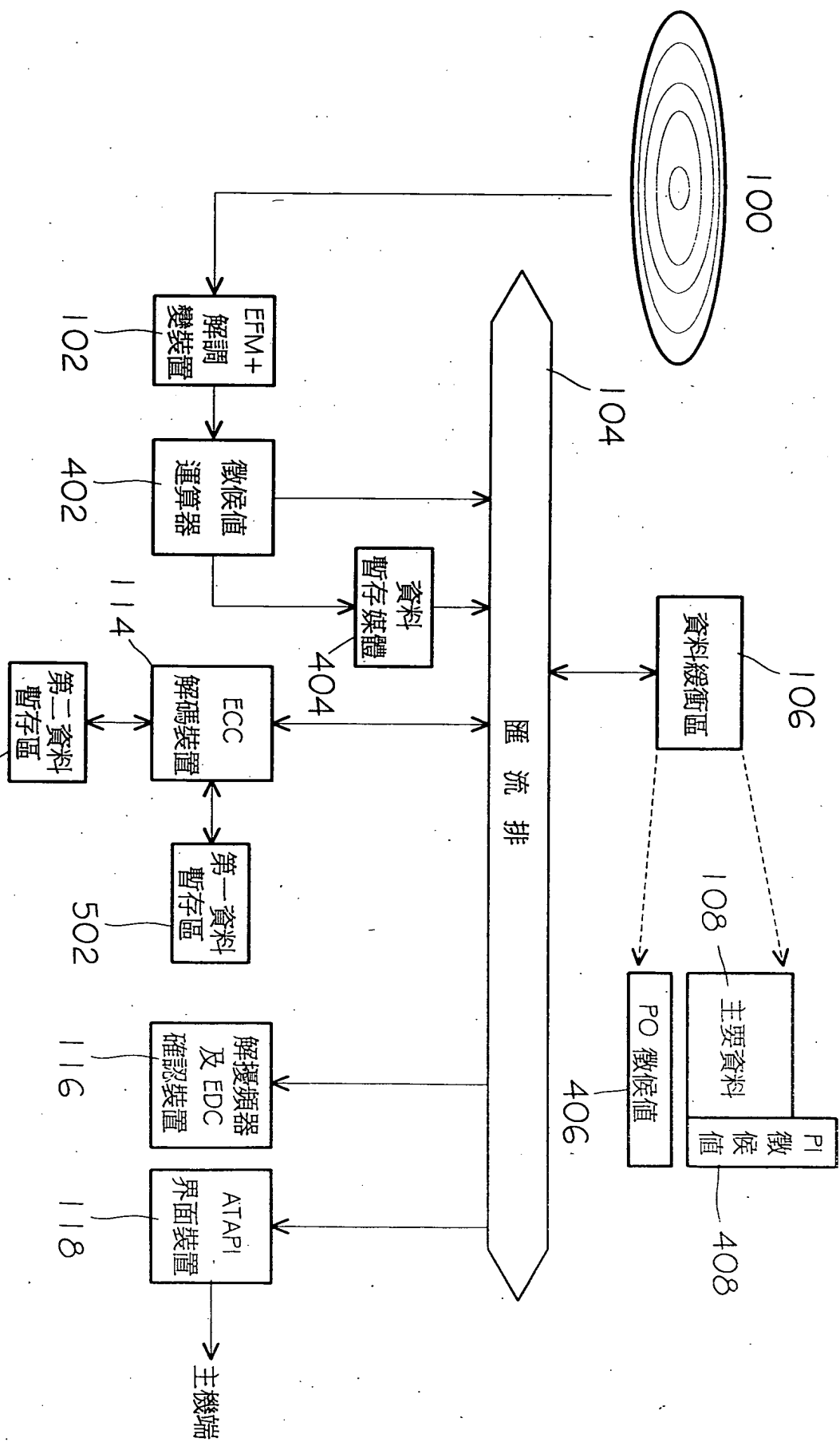


圖 五

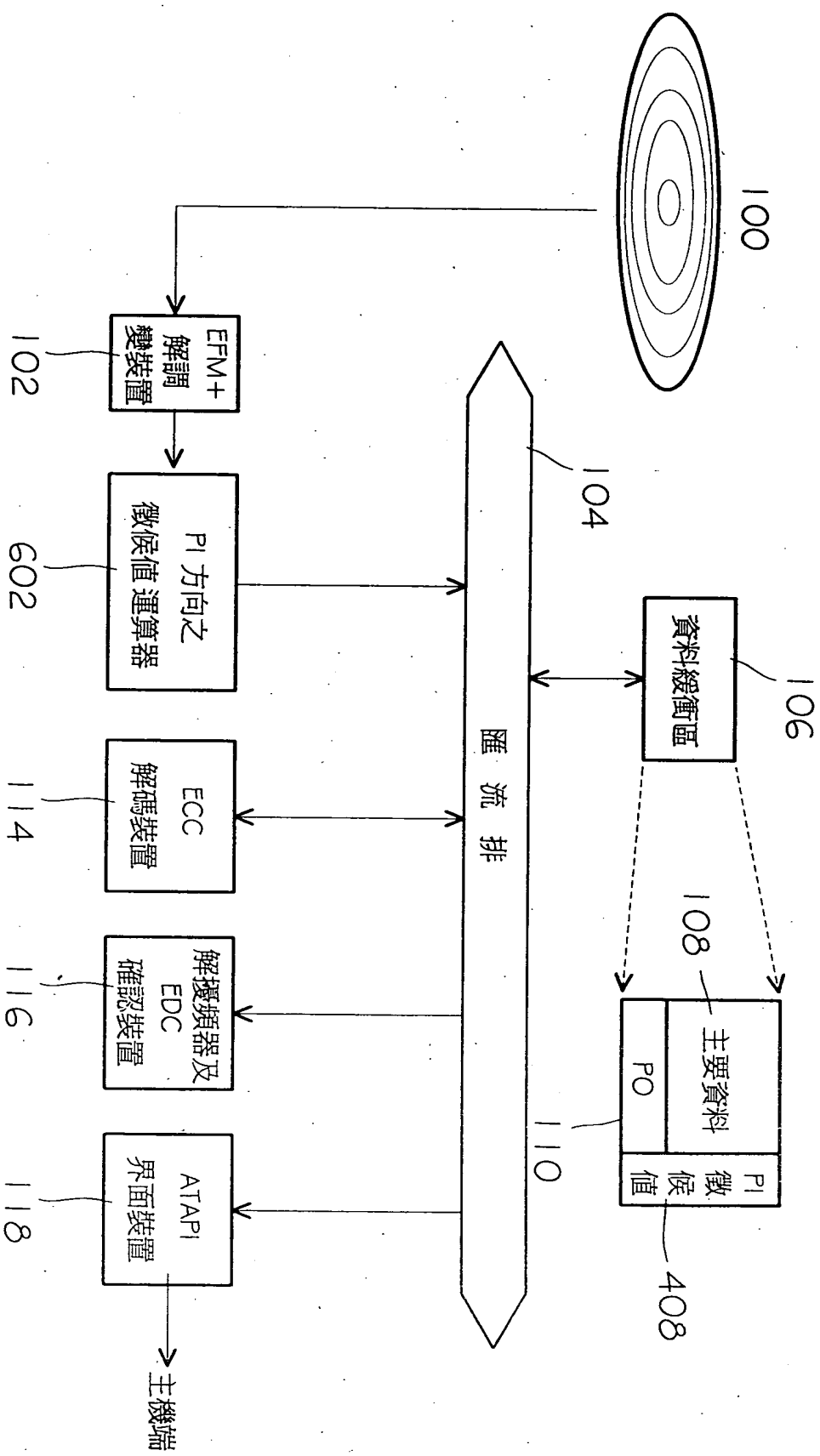
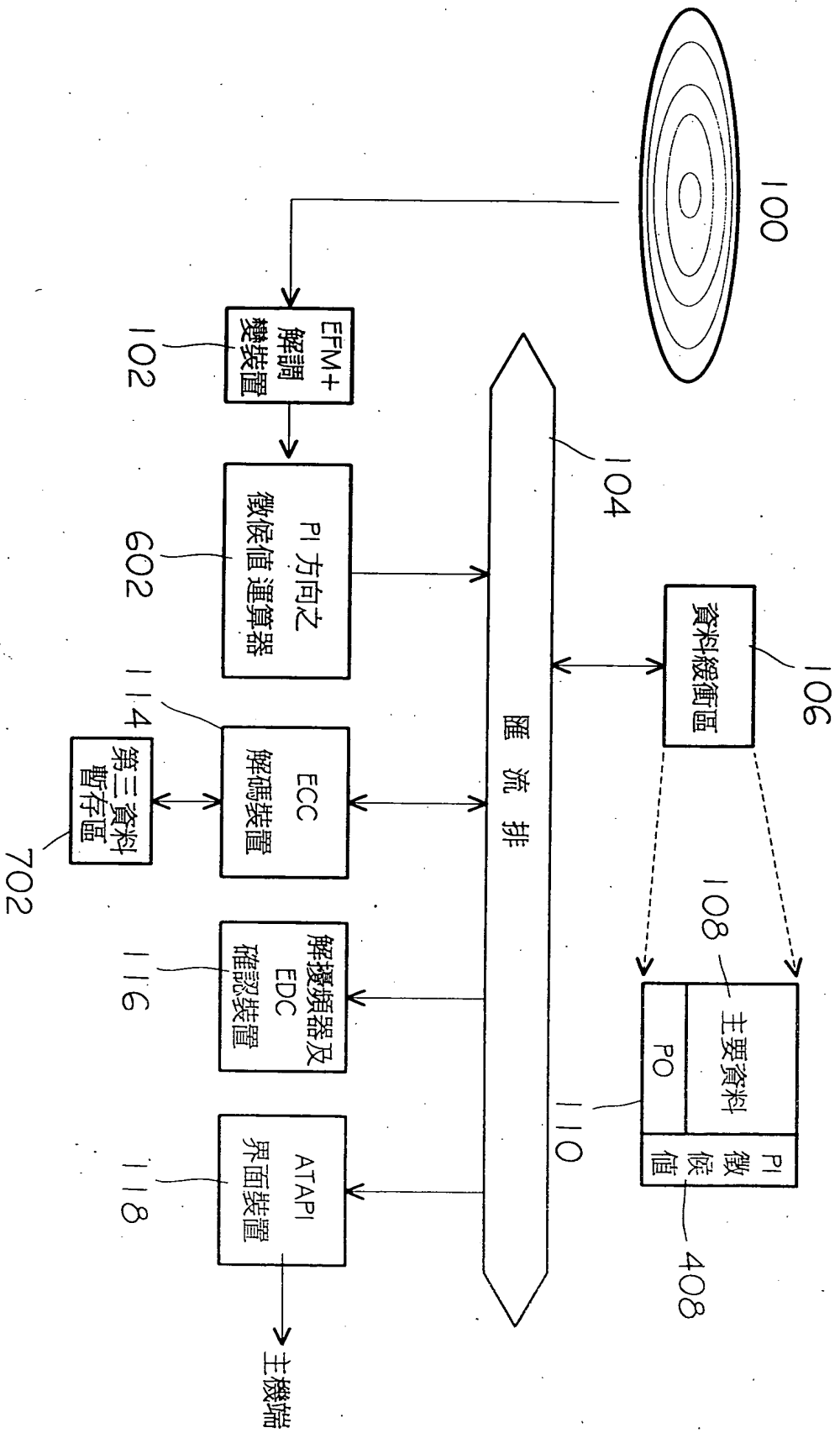


圖 六



圖

